

# 11 ПАРАЛЛЕЛЬНЫЙ ПЕРИФЕРИЙНЫЙ ИНТЕРФЕЙС

Параллельный периферийный интерфейс (PPI, Parallel Peripheral Interface) – это полудуплексный двунаправленный порт, поддерживающий передачу данных разрядностью до 16 бит. Он имеет выделенный вывод тактовой синхронизации, три мультиплексируемых вывода кадровой синхронизации и четыре выделенных вывода данных. В качестве дополнительных выводов данных может использоваться до 12 выводов PF. Максимальная пропускная способность порта достигается при работе с 8-разрядными данными, так как при этом возможна упаковка двух 8-разрядных отсчетов данных в одно 16-разрядное слово. При этом первый отсчет размещается в 8 младших битах.

Максимальная частота внешнего сигнала тактовой синхронизации, подаваемого на вывод PPI\_CLK, составляет  $SCLK/2$ . Использование внутреннего сигнала тактовой синхронизации невозможно. В таблице 11-1 перечислены выводы PPI.

При чтении регистров программируемых флагов, отображенных в карте памяти, в позициях, соответствующих выводам, задействованным PPI-портом, будут возвращаться нули.

Таблица 11-1. Выводы PPI.

Название сигнала	Функция	Направление	Альтернативная функция
PPI15	Данные	Двунаправленный	PF4, выход разрешения SPI
PPI14	Данные	Двунаправленный	PF5, выход разрешения SPI
PPI13	Данные	Двунаправленный	PF6, выход разрешения SPI
PPI12	Данные	Двунаправленный	PF7, выход разрешения SPI
PPI11	Данные	Двунаправленный	PF8, выход разрешения SPI
PPI10	Данные	Двунаправленный	PF9, выход разрешения SPI
PPI9	Данные	Двунаправленный	PF10, выход разрешения SPI
PPI8	Данные	Двунаправленный	PF11, выход разрешения SPI
PPI7	Данные	Двунаправленный	PF12, выход разрешения SPI
PPI6	Данные	Двунаправленный	PF13, выход разрешения SPI
PPI5	Данные	Двунаправленный	PF14, выход разрешения SPI
PPI4	Данные	Двунаправленный	PF15, выход разрешения SPI
PPI3	Данные	Двунаправленный	Отсутствует
PPI2	Данные	Двунаправленный	Отсутствует
PPI1	Данные	Двунаправленный	Отсутствует
PPI0	Данные	Двунаправленный	Отсутствует
PPI_FS3	Кадровая синхронизация 3/поле	Двунаправленный	PF3, выход разрешения SPI
PPI_FS2	Кадровая синхронизация 2/VSYNC	Двунаправленный	Таймер 2
PPI_FS1	Кадровая синхронизация 1/HSYNC	Двунаправленный	Таймер 1
PPI_CLK	Сигнал тактовой синхронизации с частотой до $SCLK/2$	Входной	Отсутствует

# 11 Параллельный периферийный интерфейс

## Регистры PPI

Работа PPI-порта регулируется пятью регистрами, отображенными в карте памяти: регистром управления PPI (PPI\_CONTROL), регистром состояния PPI (PPI\_STATUS), регистром счетчика задержки (PPI\_DELAY), регистром счетчика передач (PPI\_COUNT) и регистром количества строк в кадре (PPI\_FRAME).

- ❗ Следует отметить, что при запрещении работы PPI-порта каждый из этих регистров будет сброшен в состояние по умолчанию. Для того, чтобы поведение PPI-порта соответствовало ожидаемому, при повторном разрешении его работы необходимо снова выполнить запись в соответствующие регистры.

### Регистр управления PPI (PPI\_CONTROL)

Регистр управления PPI, показанный на рис.11-1, задает рабочий режим PPI-порта, полярности сигналов управления и разрядность данных. Биты POLC и POLS используются для избирательной инверсии сигналов PPI\_CLK и PPI\_FS1/PPI\_FS2. Использование этих битов позволяет порту взаимодействовать с источниками/приемниками данных с различными полярностями управляющих сигналов. Зачастую в удаленном источнике/приемнике данных также возможно изменение полярностей управляющих сигналов. В таком случае биты POLC и POLS дают дополнительную гибкость при настройке параметров соединения.

- ❗ На использование битов POLC и POLS накладываются некоторые ограничения. Дополнительную информацию о режимах, в которых эти биты должны принимать определенные значения, см. в таблице 11-2.

Поле DLEN[2:0] определяет разрядность данных PPI-порта в любом режиме. Необходимо отметить, что поддерживаются данные любой разрядности от 8 до 16, за исключением 9-разрядных данных. Любые выводы PF, которые не задействуются PPI-портом по результатам настройки поля DLEN, могут использоваться для реализации других функций.

- ❗ В режимах ITU-R 656 разрядность данных, задаваемая полем DLEN, не должна превышать 10. В противном случае лишние выводы резервируются PPI-портом и становятся недоступными для других периферийных устройств.

При установке бита SKIP\_EN разрешается избирательный пропуск элементов данных считываемых PPI-портом; этим достигается снижение объема данных, передаваемых в режиме DMA.

## 11 Параллельный периферийный интерфейс

Когда `SKIP_EN` установлен, бит `SKIP_EO` определяет, какие из элементов входного потока данных (четные или нечетные) игнорируются. Это свойство полезно, например, при приеме цветного видео сигнала в формате YCrCb (Cb, Y, Cr, Y, Cb, Y, Cr, Y, ...). Пропуск четных или нечетных элементов позволяет выполнять считывание PPI-портом только сигнала цветности (Cr или Cb) или только сигнала яркости (Y). Это свойство также может быть полезно при обработке входного потока двумя процессорами. В этом случае один процессор может выполнять обработку сигнала яркости, а другой (бит `SKIP_EO` которого имеет противоположное значение) – сигнала цветности. Эта опция применима в режимах ITU-R 656 и приема с внешней кадровой синхронизацией.

Бит `PACK_EN` имеет значение только, когда разрядность данных PPI-порта (задаваемая полем `DLEN[2:0]`) равна 8. В каждой операции PPI-порта в режиме DMA, (т.е. операции ввода или вывода данных), инициируемой сигналом `PPI_CLK`, по шине DMA передается 16-разрядное слово. Другими словами, при работе PPI-порта, настроенного на ввод, с 10-разрядными данными, по шине DMA все равно передается 16-разрядное слово; старшие 6 битов заполняются нулями. При использовании 8-разрядных данных, эффективность передач может быть повышена за счет упаковки каждых двух байтов данных в 16-разрядное слово. Данная опция активизируется битом `PACK_EN`. При установке этого бита разрешается упаковка данных во всех режимах приема.

Рассмотрим случай приема PPI-портом в режиме DMA следующую последовательность данных: `0xCE`, `0xFA`, `0xFE`, `0xCA`, ...

- Когда `PACK_EN` установлен:

PPI-порт, настроенный на работу с 8-разрядными данными, считывает следующую последовательность:

`0xCE`, `0xFA`, `0xFE`, `0xCA`, ...

На шину DMA передается:

`0xFACE`, `0xCAFE`, ...

- Когда `PACK_EN` сброшен:

PPI-порт, настроенный на работу с 8-разрядными данными, считывает следующую последовательность:

`0xCE`, `0xFA`, `0xFE`, `0xCA`, ...

На шину DMA передается:

`0x00CE`, `0x00FA`, `0x00FE`, `0x00CA`, ...

В режимах передачи установка `PACK_EN` разрешает распаковку байтов. Рассмотрим следующую последовательность данных в памяти, передаваемую PPI-портом в режиме DMA: `0xFACE CAFE` (`0xFA` и `0xCA` – старшие байты соответствующих 16-разрядных слов).

- Когда `PACK_EN` установлен:

Из памяти в PPI-порт передается по DMA следующая последовательность:

`0xFACE`, `0xCAFE`, ...

## 11 Параллельный периферийный интерфейс

PPI-порт, настроенный на работу с 8-разрядными данными, передает во внешнее устройство следующую последовательность (заметьте, что первыми передаются младшие байты):

0xCE, 0xFA, 0xFE, 0xCA, . . .

- Когда PASC\_EN сброшен:

Из памяти в PPI-порт передается по DMA следующая последовательность:

0xFACE, 0xCAFE, . . .

PPI\_порт, настроенный на работу с 8-разрядными данными, передает во внешнее устройство следующую последовательность (заметьте, что первыми передаются младшие байты):

0xCE, 0xFE, . . .

Бит FLD\_SEL используется исключительно в режиме ввода только активного поля ITU-R 656. В зависимости от его значения принимается либо только поле 1, либо оба поля кадра. При приеме полей активного видео через одно достигается снижение объема данных, передаваемых в режиме DMA.

Поле PORT\_CFG[1:0] используется совместно с битом PORT\_DIR, определяющим направление передач, для настройки рабочего режима PPI-порта. В таблице 11-2 приведены возможные рабочие режимы порта PPI.

# 11 Параллельный периферийный интерфейс

Таблица 11-2. Рабочие режимы PPI.

Режим PPI	Число сигналов кадровой синхронизации	PORT_DIR	PORT_CFG	XFR_TYPE	POLC	POLS	FLD_SEL
Режим приема без кадровой синхронизации с внешним запуском	0	0	11	11	0 или 1	0 или 1	0
Режим приема без кадровой синхронизации с внутренним запуском	0	0	11	11	0 или 1	0 или 1	1
Режим приема с одним внешним сигналом кадровой синхронизации	1	0	00	11	0 или 1	0 или 1	X
Режим приема с двумя или тремя внешними сигналами кадровой синхронизации	3	0	10	11	0 или 1	0 или 1	X
Режим приема с двумя или тремя внутренними сигналами кадровой синхронизации	3	0	01	11	0 или 1	0 или 1	X
Режим приема ITU-R 656. Только активное поле	Включены в кадр	0	XX	00	0 или 1	0	0 или 1
Режим приема ITU-R 656. Только в интервале гашения обратного хода кадровой развертки	Включены в кадр	0	XX	10	0 или 1	0	X
Режим приема ITU-R 656. Все поле	Включены в кадр	0	XX	01	0 или 1	0	X
Режим передачи без кадровой синхронизации	0	1	XX	00, 01, 10	0	0 или 1	X
Режим передачи с одним внешним сигналом кадровой синхронизации	1	1	00	11	1	0 или 1	X
Режим передачи с двумя внешними сигналами кадровой синхронизации	2	1	01	11	1	0 или 1	X
Режим передачи с одним сигналом внутренней синхронизации	1	1	00	11	0	0 или 1	X
Режим передачи с двумя или тремя внешними сигналами кадровой синхронизации	3	1	01	11	0	0 или 1	X

Поле XFR\_TYPE [1:0] задаёт различные режимы работы PPI-порта. Взаимосвязь XFR\_TYPE [1:0] с другими битами регистра PPI\_CONTROL при определении рабочего режима PPI см. в таблице 11-2.

Установка бита PORT\_EN разрешает работу PPI-порта.

# 11 Параллельный периферийный интерфейс

**i** Следует отметить, что если PPI-порт сконфигурирован на ввод данных, приём не начнётся, пока не поступят соответствующие сигналы синхронизации. Если PPI-порт сконфигурирован на вывод данных, передача (включая передачу соответствующих сигналов синхронизации) начинается сразу по разрешению генерации сигналов кадровой синхронизации (по включении таймеров). Таким образом, все параметры сигналов кадровой синхронизации должны быть настроены до начала передачи данных. Дополнительную информацию см. в разделе “Кадровая синхронизация в режимах общего назначения”.

Регистр управления PPI (PPI\_CONTROL)

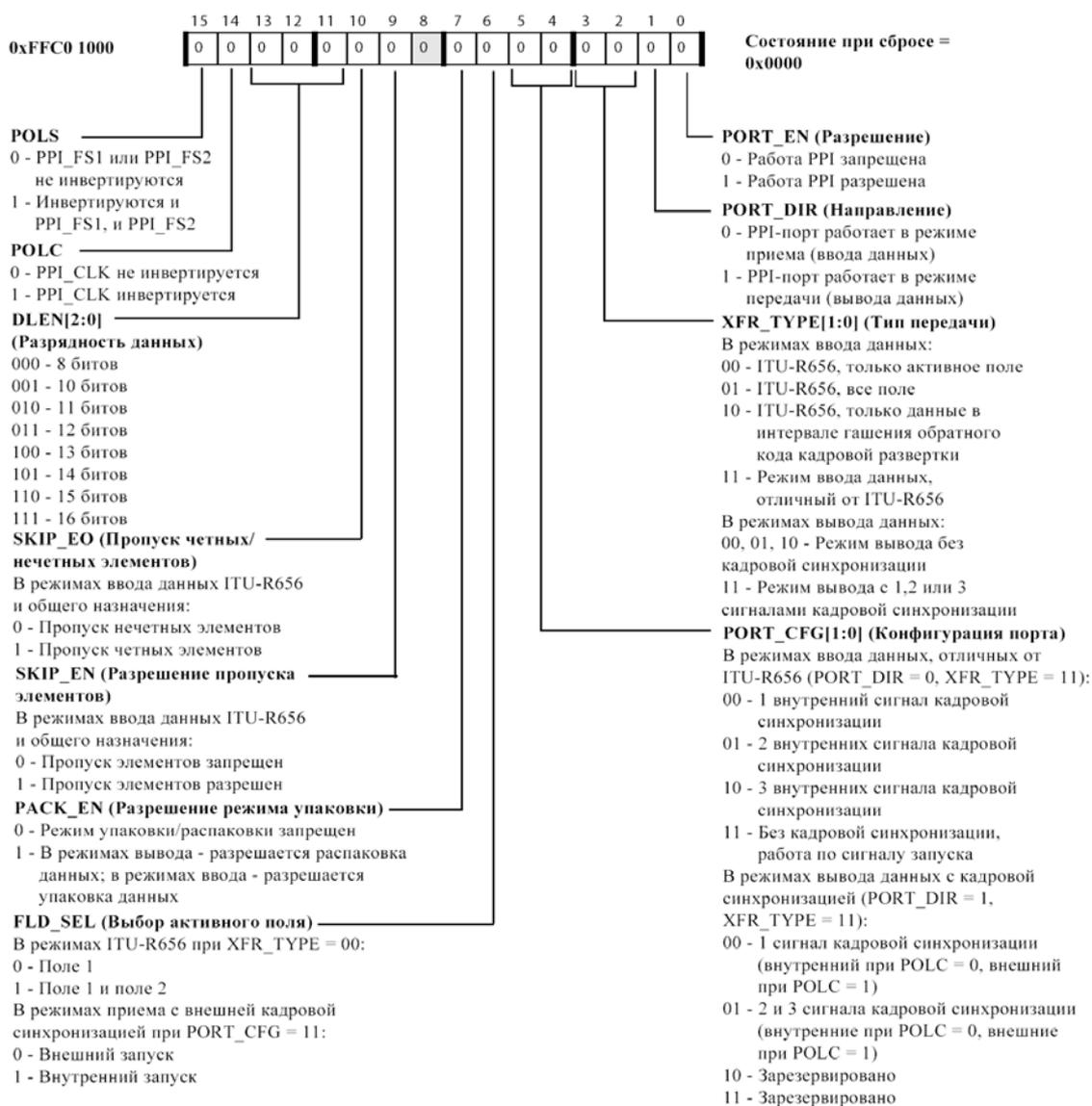


Рис. 11-1. Регистр управления PPI

# 11 Параллельный периферийный интерфейс

## Регистр состояния PPI (PPI\_STATUS)

Регистр состояния PPI содержит биты информации о текущем состоянии работы PPI-порта.

**i** При чтении данного регистра его содержимое обнуляется. Таким образом, чтобы определить, какие биты были установлены, необходимо произвести полный анализ слова состояния.

Бит ERR\_DET это бит с защелкиванием, сигнализирующий об обнаружении ошибки в преамбуле управляющего слова в режимах ITU-R 656. Он несёт полезную информацию только при работе в режимах ITU-R 656. Если ERR\_DET=1, в преамбуле была обнаружена ошибка. Если ERR\_DET=0, в преамбуле ошибки не обнаружены.

Бит ERR\_NCOR – с защелкиванием; он несёт полезную информацию только при работе в режимах ITU-R 656. Если ERR\_NCOR=0 и ERR\_DET=1, все обнаруженные в преамбуле ошибки исправлены. Если ERR\_NCOR=1, ошибка в преамбуле обнаружена, но не исправлена. В этом случае генерируется прерывание ошибки PPI, если оно не маскировано в регистре SIC\_IMASK.

Бит FT\_ERR – с защелкиванием. Установка этого бита сигнализирует о возникновении ошибки формата кадра. Бит FT\_ERR несёт полезную информацию только при работе в режимах приёма (RX). Ошибка формата кадра возникает, когда заданное в регистре PPI\_FRAME количество строк в кадре не совпадает с числом строк, принятых на момент “обнаружения начала кадра” (см. информацию на стр. 11-). При возникновении ошибки формата кадра генерируется прерывание ошибки PPI, если оно не маскировано в регистре SIC\_IMASK.

Бит FLD устанавливается или сбрасывается одновременно с изменением сигнала F (в режимах ITU-R 656) или PPI\_FS3 (в других режимах приёма). Он несёт полезную информацию только при работе в режимах ввода данных. Бит FLD отображает текущее состояние сигналов F или PPI\_FS3. Другими словами, он всегда указывает поле видеосигнала, считываемое PPI-портом в текущий момент времени.

Бит OVR – с защелкиванием. Он устанавливается, когда буфера FIFO PPI переполнен и не может принять данные. При возникновении ошибки переполнения FIFO генерируется прерывание ошибки PPI, если оно не маскировано в регистре SIC\_IMASK.

# 11 Параллельный периферийный интерфейс

**i** Размер буфера FIFO PPI-порта – шестнадцать 16-разрядных слов.

Бит UNDR – с защелкиванием. Он устанавливается, если в FIFO отсутствуют данные, необходимые для выполнения текущей операции. При возникновении ошибки отсутствия данных в FIFO генерируется прерывание ошибки PPI, если оно не маскировано в регистре SIC\_IMASK.

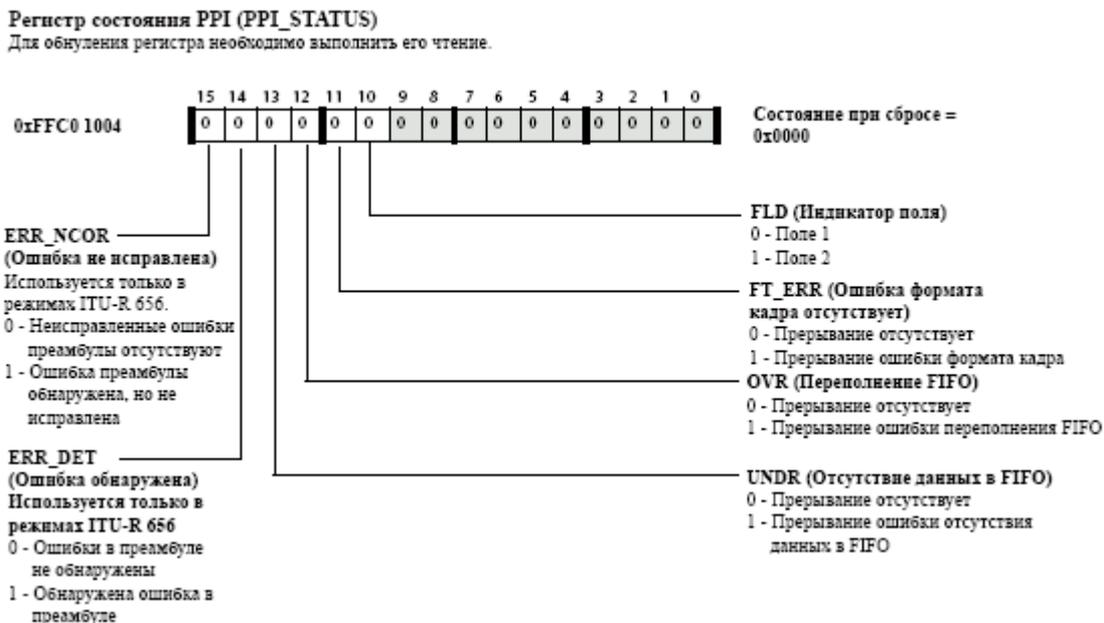


Рис. 11-2. Регистр состояния PPI

## Регистр счётчика задержки (PPI\_DELAY)

Регистр PPI\_DELAY может использоваться во всех конфигурациях, за исключением режимов ITU-R 656. Он содержит значение задержки начала чтения или записи данных относительно установления активного уровня сигнала PPI\_FS1, выраженное в тактах PPI\_CLK.

**i** Необходимо отметить, что в режимах передачи (TX) с одним или более сигналами кадровой синхронизации, задержка увеличивается на один такт по сравнению со значением содержимого регистра PPI\_DELAY.

# 11 Параллельный периферийный интерфейс

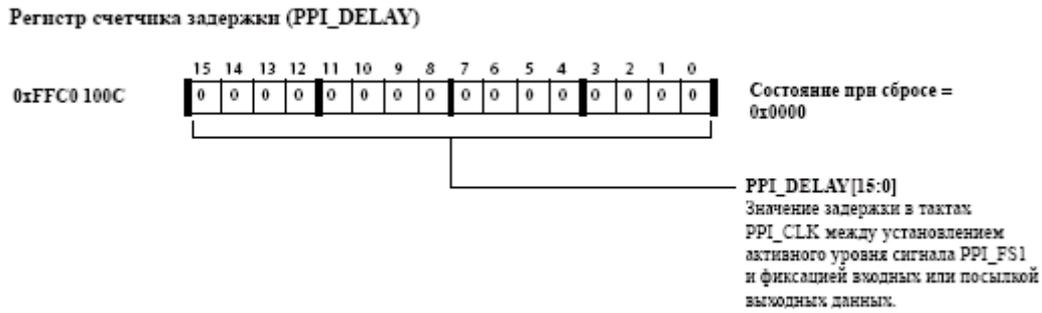


Рис. 11-3. Регистр счётчика задержки

## Регистр счётчика передач (PPI\_COUNT)

Регистр PPI\_COUNT используется во всех конфигурациях, за исключением режимов ITU-R 656. В режимах приёма этот регистр содержит значение, на единицу меньше числа отсчётов в строке, считываемой по PPI-порту. В режимах передачи он содержит значение, на единицу меньше числа отсчётов в строке, передаваемой по PPI-порту. Например, для передачи или приёма по PPI-порту 100 отсчётов следует записать в PPI\_COUNT значение 99. В процессе выполнения передач содержимое регистра не инкрементируется. Поэтому его повторная инициализация в начале обработки новой строки не требуется.

**i** Необходимо, чтобы значение числа отсчётов, задаваемое в регистре PPI\_COUNT, было согласовано с ожидаемым числом отсчётов в интервале строчной развёртки, который указывается сигналом PPI\_FS1.

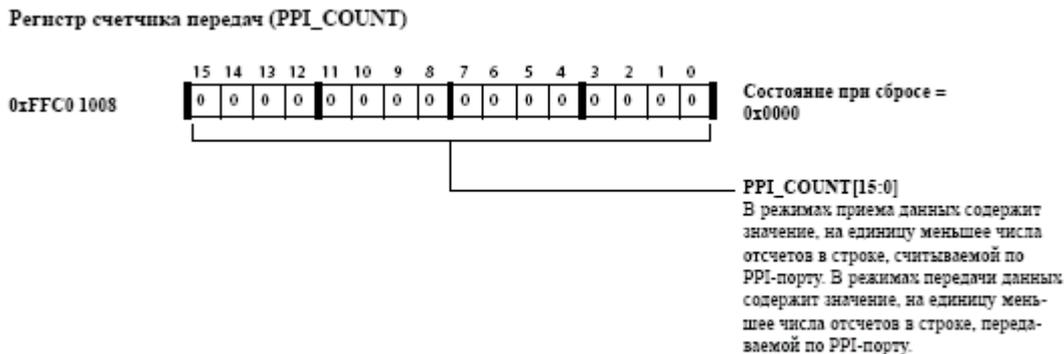


Рис. 11-4. Регистр счётчика передач

## Регистр количества строк в кадре (PPI\_FRAME)

Регистр PPI\_FRAME используется только в режимах приема и содержит значение количества строк в кадре. Кадр обычно определяется в смысле видеосигнала, как совокупность четного и нечетного полей (поля 1 и поля 2, выделяемых сигналом PPI\_FS3 или сигналом F в режиме ITU-R 656). Однако, если используются только два сигнала кадровой синхронизации, кадр может задаваться одновременным установлением активного уровня обоих сигналов кадровой

# 11 Параллельный периферийный интерфейс

синхронизации. Строка определяется как совокупность данных, передаваемых в течение полного цикла сигнала PPI\_FS1 и полного цикла SAV-EAV в режиме ITU-R 656.

Если “обнаружение начала кадра” происходит до того, как будет считано число строк, заданное в регистре PPI\_FRAME, возникает ошибка формата кадра, и устанавливается бит FT\_ERR в регистре PPI\_STATUS. Однако при этом по-прежнему выполняется инициализация PPI-порта содержимым регистра PPI\_FRAME и пересылки данных продолжают. Повторная синхронизация PPI-порта выполняется по условию обнаружения начала кадра, которое задаётся сигналом, поступающим от внешнего источника.

- i** В режимах ITU-R 656 условием обнаружения начала кадра является задний фронт сигнала F (индикатора поля); то есть, начало поля 1.
- i** В режиме приема с тремя внешними сигналами кадровой синхронизации условием обнаружения начала кадра является последовательное установление активных уровней сигналов PPI\_FS2 и PPI\_FS1 при низком уровне сигнала PPI\_FS3. Это происходит в начале поля 1.
- i** Если в режиме приема требуются только два внешних сигнала кадровой синхронизации, необходимо настроить PPI-порт на работу в режиме приема с тремя внешними сигналами кадровой синхронизации и “притянуть” вывод PPI\_FS3 к земле при помощи внешнего резистора. При этом гарантируется правильность проверки кадровой синхронизации, и не возникают спонтанные ошибки FT\_ERR. В режиме с двумя внешними сигналами кадровой синхронизации понятия поля и кадра эквивалентны. Этот момент необходимо учитывать при программировании регистра PPI\_FRAME.

Регистр количества строк в кадре (PPI\_FRAME)

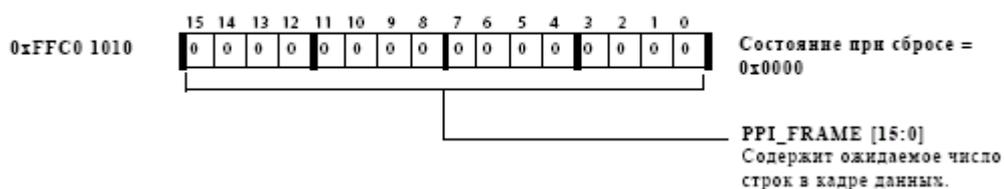


Рис. 11-5. Регистр количества строк в кадре

## Режимы ITU-R 656

PPI поддерживает три режима ввода данных для различных форматов кадра ITU-R 656. Они описываются в данном разделе. Хотя режим вывода данных ITU-R 656 напрямую PPI-портом не поддерживается, приводятся рекомендации по настройке PPI-порта для работы в этом режиме.

# 11 Параллельный периферийный интерфейс

## Основы ITU-R 656

В соответствии с рекомендацией ITU-R 656 (прежнее название – CCIR-656) цифровой видеопоток имеет характеристики, показанные на рис. 11-6 и 11-7 для систем 525/60 (NTSC) и 625/50 (PAL). Процессор поддерживает только бит-параллельный режим ITU-R 656. Поддерживаются и 8- и 10-разрядные видеоэлементы.

В данном режиме сигналы строчной (H), кадровой (V) развертки и поля (F) включены в поток данных в виде последовательности байтов, формирующих управляющее слово. Сигналы начала активного видео (SAV, Start of Active Video) и конца активного видео (EAV, END of Active Video) указывают начало и конец данных, принадлежащих одной строке. SAV возникает при изменении H из 1 в 0, EAV начинается при изменении H из 0 в 1. Полное поле видеосигнала состоит из активного видео и данных, передаваемых в интервалах гашения обратного хода строчной (интервал между кодами EAV и SAV) и кадровой (интервал, в котором  $V = 1$ ) развертки. Начало поля видеосигнала указывается изменением бита F. Значение  $F = 0$  соответствует “нечетному полю”,  $F = 1$  – “четному полю”. В сигнале с прогрессивной развёрткой различий между полями 1 и 2 не делается; для видеосигнала с чересстрочной развёрткой необходима отдельная обработка полей, так как чётные строки одного поля и нечётные строки другого поля относятся к одному изображению.



Рис. 11-6. 8-разрядный параллельный поток данных ITU-R 656 для систем NTSC (PAL)

# 11 Параллельный периферийный интерфейс

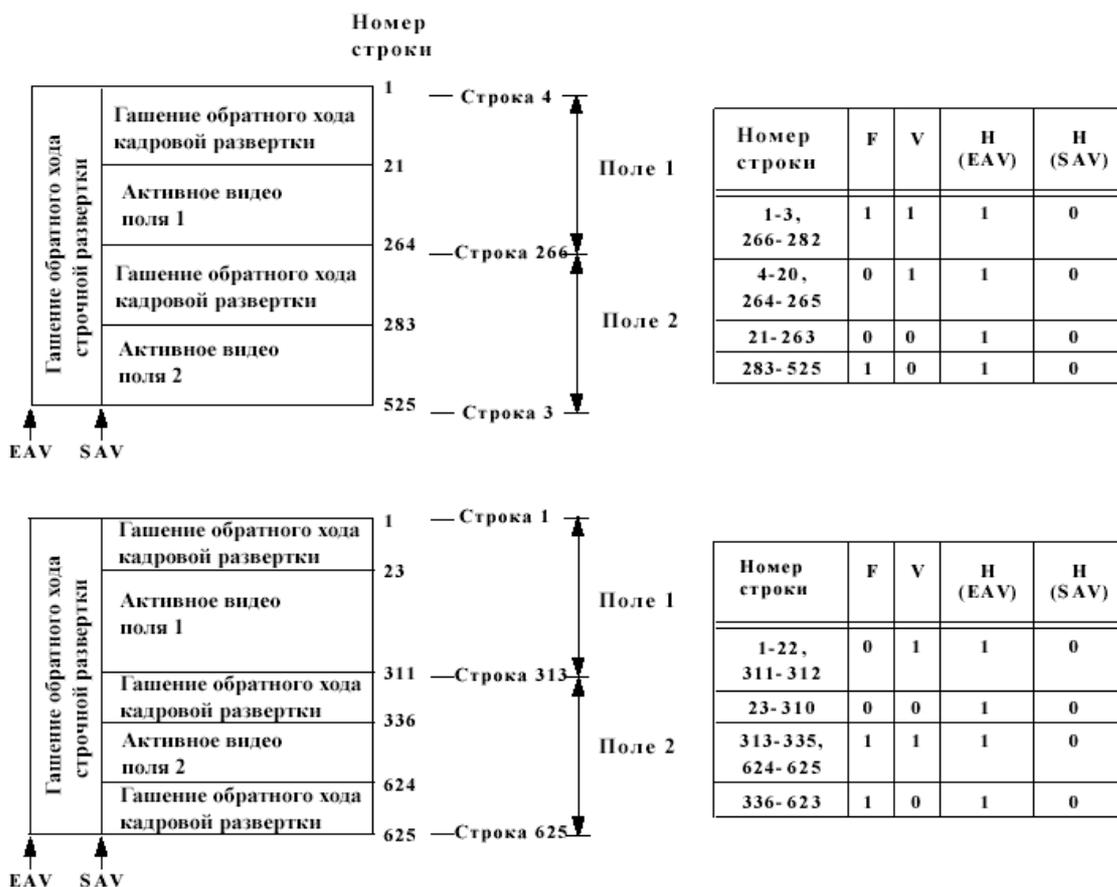


Рис. 11-7. Типичное разбиение видеокadra для систем NTSC/PAL в ITU-R BT.656-3

Коды SAV и EAV более подробно показаны в таблице 11-3. Следует отметить, что в этих кодах содержится преамбула из трех байтов (0xFF, 0x00, 0x00), сопровождаемая словом состояния XY, в котором наряду с битами F (поле), V (гашение обратного хода кадровой развертки) и H (гашение обратного хода строчной развертки) содержатся четыре защитных бита, используемые для обнаружения и исправления однократной ошибки. Изменение битов F и V возможно только в составе последовательности EAV (то есть, при переходе из H = 0 в H = 1). Биты управляющего байта имеют следующие значения:

- F = 0 для поля 1
- F = 1 для поля 2
- V = 1 в течение интервала гашения обратного хода кадровой развертки
- V = 0 вне интервала гашения обратного хода кадровой развертки
- H = 0 в течение SAV
- H = 1 в течение EAV
- P3 = V XOR H;
- P2 = F XOR H;
- P1 = F XOR V;
- P0 = F XOR V XOR H;

# 11 Параллельный периферийный интерфейс

Во многих приложениях могут использоваться форматы видеопотоков, отличные от стандартов PAL/NTSC (например, CIF, QCIF). PPI-интерфейс процессора обладает достаточной гибкостью для поддержки различных длин строк и полей. В целом, если поступающий видеопоток содержит достоверные коды EAV/SAV, PPI-порт может выполнять его чтение. Например, изображение в формате CIF может быть преобразовано в “656-совместимый” формат, в котором значения EAV и SAV задают диапазон каждой строки, а коды V и F могут использоваться для разграничения кадров и полей.

Таблица 11-3. Последовательность управляющих байтов 8- и 10-разрядного видеосигнала в формате ITU-R 656.

	8-разрядные данные								10-разрядные данные	
	D9 (MSB)	D8	D7	D6	D5	D4	D3	D2	D1	D0
Преамбула	1	1	1	1	1	1	1	1	1	1
	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0
Управляющий байт	1	F	V	H	P3	P2	P1	P0	0	0

## Режимы ввода данных ITU-R656

Рис. 11-8 демонстрирует общий принцип выполнения передач в режимах ввода данных ITU-R 656. Тактовый сигнал CLK обеспечивается источником видеосигнала, либо формируется системой.

Режим ввода ITU-R 656

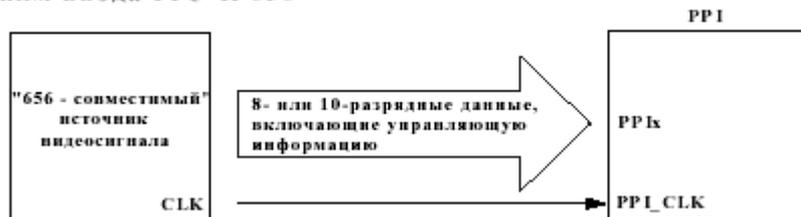


Рис. 11-8. Режимы ввода данных ITU-R 656

Существует три варианта режимов ввода данных ITU-R 656: Полное поле, Только активное видео, Только данные в интервале гашения обратного хода кадровой развертки. Эти варианты продемонстрированы на рис. 11-9.

# 11 Параллельный периферийный интерфейс



Рис. 11-9. Варианты режимов ввода данных ITU-R 656

## Полное поле

В этом режиме PPI-порт выполняет чтение всего поступающего битового потока, включающего активное видео, а также последовательности управляющих байтов и служебные данные, которые могут передаваться в интервалах гашения обратного хода строчной и кадровой развёрток. Пересылки данных начинаются сразу после синхронизации по полю 1; при этом первый код EAV, содержащий F=0, передан не будет.

**i** Следует отметить, что в первой принимаемой после разрешения работы PPI-порта строке отсутствует первая четырёхбайтовая преамбула. Однако последующие строки и кадры будут содержать все управляющие коды.

Преимуществом данного режима является возможность организации “циклической” работы, когда PPI-порт периодически выполняет чтение одного или двух кадров данных и выдаёт обработанные данные на совместимый видеодисплей. При этом, разумеется, требуется мультиплексирование выводов PPI-порта, однако достигается удобство проверки того, что все данные были приняты и переданы.

## Только активное видео

Данный режим используется, если интерес представляет только часть поля, содержащая активное видео, а информация, передаваемая в течение интервалов гашения обратного хода развёрток, не требуется. PPI-порт игнорирует (не считывает) все данные между EAV и SAV, а также все данные, поступающие в моменты, когда V=1. В данном режиме последовательности управляющих байтов не сохраняются в память; они отфильтровываются PPI-портом. После синхронизации по началу поля 1 PPI-порт игнорирует все отсчёты, поступающие до момента обнаружения SAV.

**i** В данном режиме пользователь задаёт в регистре PPI\_FRAME полное число строк в кадре (активное видео и данные в интервалах гашения обратного хода развёртки).

# 11 Параллельный периферийный интерфейс

## **Только данные в интервале гашения обратного хода кадровой развёртки (VBI)**

В данном режиме передачи данных активны только, когда бит  $V$  в последовательности управляющих байтов равен единице. Это условие означает, что источник видеосигнала находится в середине интервала гашения обратного хода кадровой развёртки (VBI, Vertical Blanking Interval), который иногда используется для передачи служебных данных. В рекомендации 656 определён формат пакетов служебных данных, однако в аппаратной части PPI-порта возможность их декодирования не реализована. Эта задача должна решаться программным способом. Данные, передаваемые в интервалах обратного хода строчной развёртки, регистрируются в момент передачи строк VBI. Информация, содержащаяся в последовательности управляющих байтов, регистрируется всегда. Пользователь задаёт в регистре PPI\_FRAME полное число строк в кадре (активное видео плюс данные в интервале гашения обратного хода кадровой развёртки).

Необходимо отметить, что внутри каждого поля VBI разделён на две области. PPI-порт воспринимает их как одно непрерывное пространство. Однако, следует учитывать, что кадровая синхронизация начинается в момент начала поля 1, который может не совпадать с началом интервала гашения обратного хода кадровой развёртки. Например, в системах 525/60 начало поля 1 ( $F = 0$ ) соответствует строке 4 VBI.

## **Режим вывода данных ITU-R 656**

В явном виде формирование PPI-портом кадров выходного потока ITU-R 656 с соответствующими преамбулами и интервалами обратного хода развёрток не поддерживается. Однако этот процесс может быть настроен вручную при работе в режиме передачи без кадровой синхронизации. В этом режиме обеспечивается передача потоков данных из памяти через PPI-порт. Перед выполнением передачи потока видеосигнала в памяти могут быть необходимым образом упорядочены данные и управляющие коды. При использовании двумерного DMA режим вывода ITU-R 656 может быть реализован несколькими способами. Например, в буфер может быть помещена одна строка интервала гашения обратного хода развёртки (H+V), которая будет передана контроллером DMA  $N$  раз в соответствующих интервалах, перед переходом к передаче активного видео. Другой способ может заключаться в настройке статического буфера, содержащего всё поле (с управляющими кодами и информацией, передаваемой в интервалах обратного хода развёрток); при этом контроллер DMA для каждого кадра выполняет обновление в буфере только области активного видео.

## **Кадровая синхронизация в режимах ITU-R 656**

Синхронизация в режимах ITU-R 656 всегда осуществляется по заднему фронту индикатора поля (F), соответствующего началу поля 1. Следовательно, до начала приёма PPI-портом данных может быть пропущено до двух полей (например, если передача поля 1 началась непосредственно перед установлением связи между PPI-портом и камерой).

## 11 Параллельный периферийный интерфейс

Так как в режимах ITU-R 656 сигналы H и V включены в поток данных, необходимость использования регистра PPI\_COUNT отсутствует. Регистр PPI\_FRAME используется в этих режимах для проверки ошибок синхронизации. Пользователь записывает в этот регистр, отображенный в карте памяти, число строк в каждом кадре видеосигнала, и PPI-порт отслеживает число переходов EAV-SAV, возникающее от начала кадра до декодирования условия конца кадра (перехода из  $F = 1$  в  $F = 0$ ). При обнаружении конца кадра действительное число обработанных строк сравнивается со значением регистра PPI\_FRAME. Если эти значения не совпадают, устанавливается бит FT\_ERR в регистре PPI\_STATUS. Например, при пропуске одного перехода EAV-SAV в текущем поле будет только  $(NUM\_ROWS - 1)$  строк, но при начале следующего кадра будет выполнена ресинхронизация.

По завершению приёма всего поля значение бита состояния поля (F) в регистре PPI\_STATUS изменится на противоположное. С его помощью программа обслуживания прерывания может распознать, какое из полей было считано.

### Режимы PPI общего назначения

Режимы PPI-порта общего назначения (GP) предназначены для использования в различных приложениях сбора и передачи данных. Эти режимы перечислены в таблице 11-4. Если в таблице указано, что в конкретном режиме не используется кадровая синхронизация, это означает, что вывод используется для реализации альтернативной функции (то есть в качестве вывода таймера или программируемого флага).

Таблица 11-4. Режимы PPI-порта общего назначения.

Режимы PPI-порта общего назначения	Направление PPI_FS1	Направление PPI_FS2	Направление PPI_FS3	Направление передачи данных
Режим приема без кадровой синхронизации с внешним запуском	Ввод	Не используется	Не используется	Ввод
Режим приема без кадровой синхронизации с внутренним запуском	Не используется	Не используется	Не используется	Ввод
Режим приема с одним внешним сигналом кадровой синхронизации	Ввод	Не используется	Не используется	Ввод
Режим приема с двумя или тремя внешними сигналами кадровой синхронизации	Ввод	Ввод	Ввод	Ввод
Режим приема с двумя или тремя внутренними сигналами кадровой синхронизации	Вывод	Вывод	Вывод	Ввод
Режим передачи без кадровой синхронизации	Не используется	Не используется	Не используется	Вывод
Режим передачи с одним внешним сигналом кадровой синхронизации	Ввод	Не используется	Не используется	Вывод
Режим передачи с двумя внешними сигналами кадровой синхронизации	Ввод	Ввод	Не используется	Вывод
Режим передачи с одним сигналом внутренней синхронизации	Вывод	Не используется	Не используется	Вывод
Режим передачи с двумя или тремя внешними сигналами кадровой синхронизации	Вывод	Вывод	Вывод	Вывод

## 11 Параллельный периферийный интерфейс

На рис. 11-10 показана общая процедура передач данных в режимах общего назначения. В верхней части рисунка показан режим приёма с одним внешним сигналом кадровой синхронизации. После приёма PPI-портом аппаратного импульса кадровой синхронизации (PPI\_FS1), осуществляется задержка на число тактов PPI\_CLK, заданное в регистре PPI\_DELAY. Затем контроллер DMA выполняет приём числа отсчётов, заданного в регистре PPI\_COUNT. Все отсчёты, поступающие после приёма PPI\_COUNT отсчётов до появления следующего импульса кадровой синхронизации (PPI\_FS1), игнорируются и не передаются на шину DMA.

- ❗ Если следующий импульс кадровой синхронизации (PPI\_FS1) поступит до того, как будет принято PPI\_COUNT отсчётов, произойдёт сброс счётчика отсчётов и начнётся новый счёт до PPI\_COUNT. Это может вызвать потерю синхронизации канала DMA с процессом приёма данных PPI-портом.

В нижней части рис. 11-10 показан режим передачи с одним внешним сигналом кадровой синхронизации. После установления активного уровня PPI\_FS1 осуществляется задержка на число тактов PPI\_CLK, на единицу большее значения, заданного в регистре PPI\_DELAY. Затем, контроллер DMA передаёт в порт число отсчётов, заданное в регистре PPI\_COUNT. Новые операции DMA не начинаются до возникновения следующего импульса кадровой синхронизации PPI\_FS1 и выдержки программируемой задержки.

- ❗ Если следующий импульс кадровой синхронизации PPI\_FS1 поступит до передачи PPI\_COUNT отсчётов, приоритет будет иметь синхронизация, и начнётся передача новой строки. Эта ситуация может вызвать потерю синхронизации канала DMA с процессом передачи данных PPI-портом.

# 11 Параллельный периферийный интерфейс

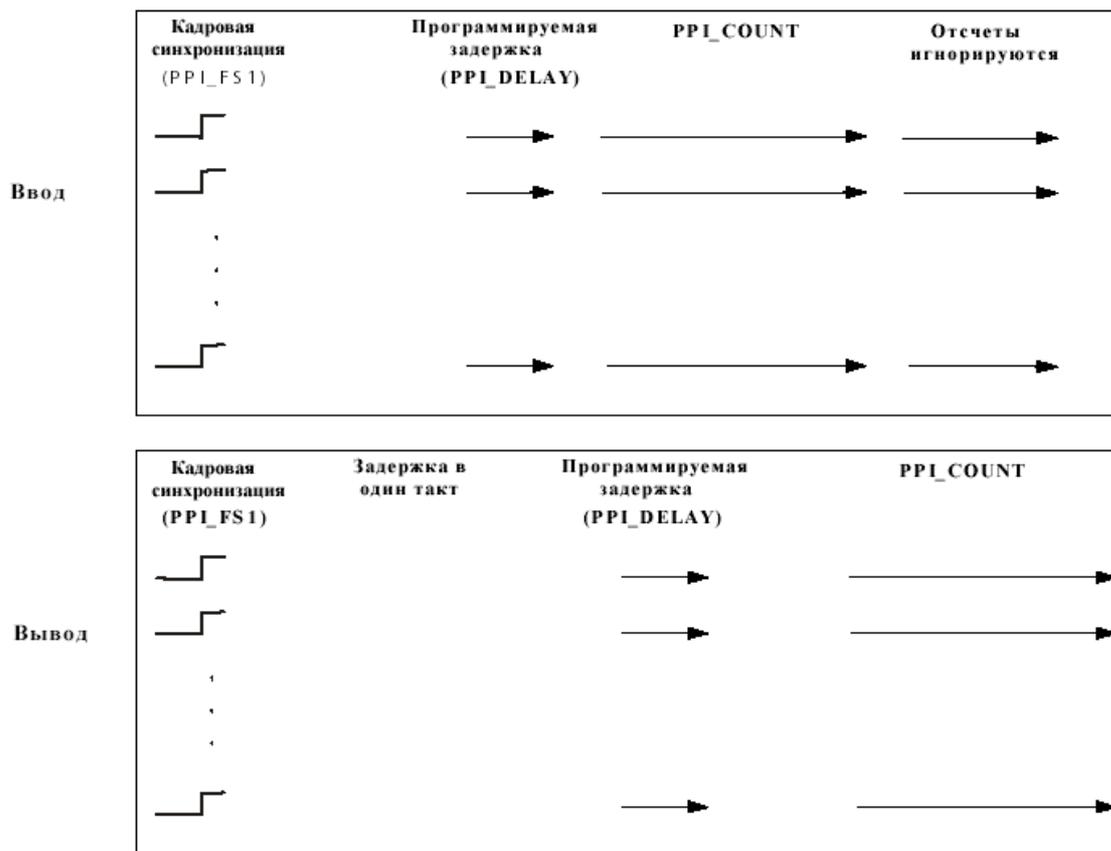


Рис. 11-10. Общая процедура передач данных в режимах общего назначения (подразумевается положительный активный уровень импульса PPI\_FS1)

## Режимы ввода данных (RX)

PPI-порт поддерживает несколько режимов ввода данных. Эти режимы различаются, в основном, кадровой синхронизацией. Информацию о настройке PPI-порта для работы в каждом из режимов см. в таблице 11-2.

### Ввод данных без кадровой синхронизации

Эти режимы могут использоваться в ряде приложений, в которых не генерируется периодическая кадровая синхронизация для выделения кадров из принимаемого потока данных. Существуют два способа запуска передачи данных, они оба задаются регистром PPI\_CONTROL.

- Внешний запуск: в начале транзакции внешний источник посылает одиночный импульс кадровой синхронизации (на вывод PPI\_ES1), когда FLD\_SEL = 0 и PORT\_CFG = b#11.
- Внутренний запуск: процесс передач данных инициируется программной установкой бита PORT\_EN, когда FLD\_SEL = 1 и PORT\_CFG = b#11.

# 11 Параллельный периферийный интерфейс

Все последующие манипуляции с данными осуществляются через DMA. Например, можно организовать прием данных попеременно в два буфера размером 1 Кбайт. При заполнении одного буфера начинается запись в режиме DMA в другой буфер; одновременно с этим из заполненного буфера в режиме DMA извлекаются данные, подготавливая его к новой записи данных.

## Ввод данных с одним, двумя или тремя внешними сигналами кадровой синхронизации

Режим с одним сигналом кадровой синхронизации предназначен для работы с аналого-цифровыми преобразователями (АЦП). В верхней части рис. 11-11 показано типичное для этого режима соединение PPI-порта с внешним устройством.

Режим с тремя сигналами кадровой синхронизации, показанный в нижней части рис. 11-11, предназначен для поддержки видеоприложений, в которых используется аппаратная сигнализация (HSYNC, VSYNC, FIELD) в соответствии с рекомендацией ITU-601. Выводы аппаратных сигналов и выводы кадровой синхронизации порта соединяются следующим образом: PPI\_FS1 = HSYNC, PPI\_FS2 = VSYNC, PPI\_FS3 = FIELD. Дополнительную информацию о кадровой синхронизации в данном режиме см. в разделе “Кадровая синхронизация в режимах общего назначения”.

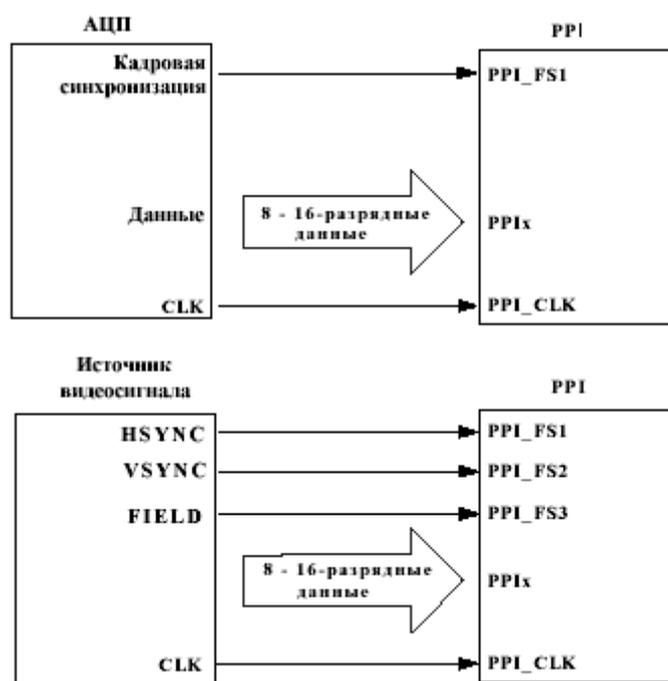


Рис. 11-11. Режим ввода с внешней кадровой синхронизацией

Режим ввода с двумя сигналами кадровой синхронизации неявно поддерживается за счёт "подтягивания" вывода PPI\_FS3 к GND с помощью внешнего резистора при настройке порта на режим ввода с тремя сигналами кадровой синхронизации.

# 11 Параллельный периферийный интерфейс

## Ввод данных с двумя или тремя внутренними сигналами кадровой синхронизации

Этот режим может быть полезен при реализации интерфейса процессора, работающего в режиме ведущего устройства, с источниками видеосигналов, работающими в режиме ведомых устройств. Другими словами, процессор осуществляет процесс приёма данных из источника видеосигнала, устанавливая активные уровни сигналов PPI\_FS1 и PPI\_FS2 и считывая данные в PPI-порт. Сигнал кадровой синхронизации PPI\_FS3 указывает, какое поле передается в текущий момент. Так как этот сигнал является выходным, когда он не используется, соответствующий вывод можно оставить несоединенным. На рис. 11-12 показан пример соединения PPI-порта с внешним устройством в данном режиме.

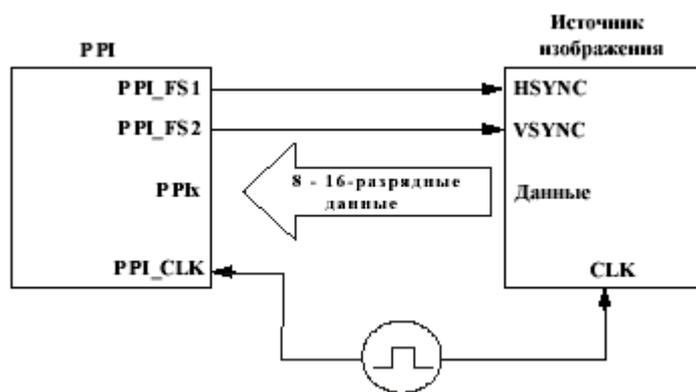


Рис. 11-12. Режим ввода с внутренней кадровой синхронизацией

## Режимы вывода данных (ТХ)

PPI-порт поддерживает несколько режимов вывода данных. Они отличаются, в основном, кадровой синхронизацией. Информацию о настройке PPI-порта для работы в каждом из режимов см. в таблице 11-2.

## Вывод данных без кадровой синхронизации

В этом режиме блоки данных, задаваемые контроллером DMA, посылаются через PPI-порт без формирования кадров. То есть, передача данных начинается сразу после настройки и разрешения работы канала DMA и PPI-порта, синхронно с PPI\_CLK. На рис. 11-13 показан пример соединения PPI-порта с внешним устройством при работе в данном режиме.

## 11 Параллельный периферийный интерфейс

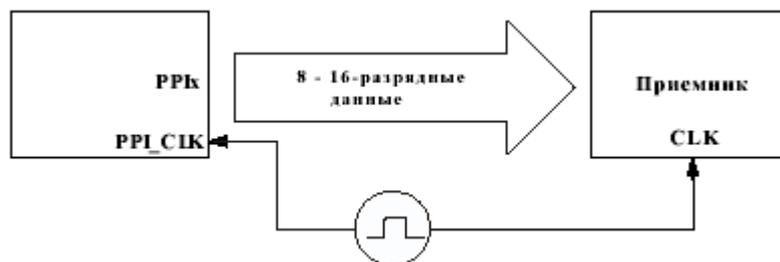


Рис. 11-13. Режим вывода данных без кадровой синхронизации

### **Вывод данных с одним или двумя внешними сигналами кадровой синхронизации**

В этих режимах внешний приемник может управлять формированием кадров, посылаемых по PPI-порту. Поддерживаются режимы с одним или двумя сигналами кадровой синхронизации. В верхней и нижней частях рис. 11-14 показаны варианты передач с одним и двумя сигналами кадровой синхронизации, соответственно.

- ⊘ При работе в этих режимах бит POLC должен быть установлен в единицу. Кроме того, между установлением активного уровня сигнала (сигналов) кадровой синхронизации и передачей PPI-портом достоверных данных существует обязательная задержка, на 1,5 такта PPI\_CLK превышающая значение, заданное в регистре PPI\_DELAY.

## 11 Параллельный периферийный интерфейс

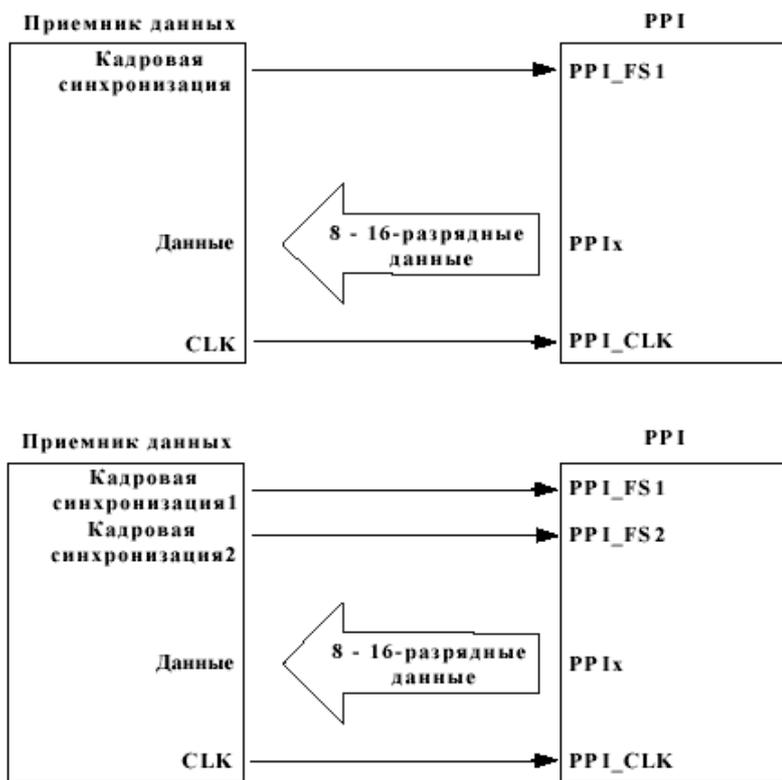


Рис. 11-14. Режим вывода данных с одним или двумя внешними сигналами кадровой синхронизации

### Вывод данных с одним, двумя или тремя внутренними сигналами кадровой синхронизации

Режим вывода данных с одним сигналом кадровой синхронизации предназначен для реализации интерфейсов с цифро-аналоговыми преобразователями (ЦАП). В верхней части рис. 11-15 показан пример соединения PPI-порта с внешним устройством при работе в данном режиме.

Режим вывода данных с тремя сигналами кадровой синхронизации предназначен для связи с видео- и графическими дисплеями, как показано в нижней части рис. 11-15. Режим с двумя сигналами кадровой синхронизации неявно поддерживается, если оставить вывод `PP1_FS3` неподключенным.

# 11 Параллельный периферийный интерфейс

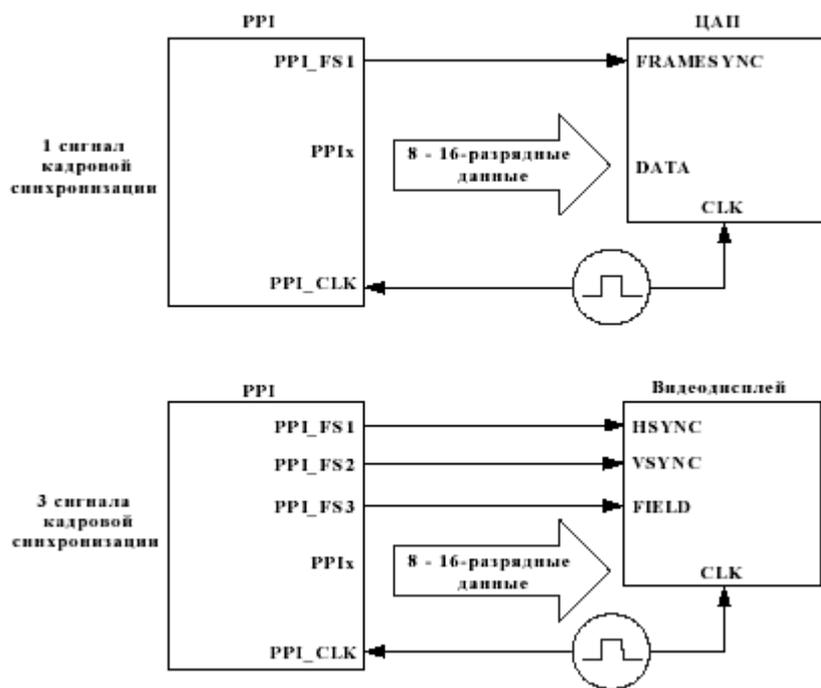


Рис. 11-15. Режимы вывода данных общего назначения.

## Кадровая синхронизация в режимах общего назначения

Кадровая синхронизация в режимах общего назначения с внутренней и внешней кадровой синхронизацией выполняется по-разному.

### Режимы с внутренней кадровой синхронизацией

В режимах с внутренней кадровой синхронизацией выходы PPI\_FS1 и PPI\_FS2 соединены с выходами широтно-импульсных модуляторов таймера 1 и таймера 2, соответственно. Это позволяет задавать произвольные значения длительностей и периодов импульсов сигналов кадровой синхронизации при помощи регистров TIMERx, для того, чтобы удовлетворить различным требованиям к временным параметрам. Следует отметить, что при работе в этих режимах схемы широтно-импульсных модуляторов тактируются сигналом PPI\_CLK, а не SCLK или PF1 (как при обычной работе таймера в режиме генерации ШИМ-сигнала). Так как состояние сигнала PP\_FS3 полностью определяется состоянием сигналов PPI\_FS1 и/или PPI\_FS2, его параметры в режимах с внутренней кадровой синхронизацией не программируются.



Чтобы настроить PPI\_FS1 и/или PPI\_FS2 для работы в режиме с внутренней кадровой синхронизацией необходимо:

1. Настроить и разрешить DMA для PPI-порта. См. раздел “Работа в режиме DMA”.
2. Задать период и длительность импульса для каждого из сигналов кадровой синхронизации при помощи регистров TIMER1\_WIDTH и

## 11 Параллельный периферийный интерфейс

TIMER1\_PERIOD (для PPI\_FS1) или TIMER2\_WIDTH и TIMER2\_PERIOD (для PPI\_FS2).

3. Задать в регистре TIMER1\_CONFIG режим PWM\_OUT (для PPI\_FS1). Если используется PPI\_FS2, в регистре TIMER2\_CONFIG также необходимо задать режим PWM\_OUT. Задание режима включает установку для каждого таймера CLK\_SEL = 1 и TIN\_SEL = 1.
4. Настроить и разрешить работу PPI-порта при помощи записи в регистр PPI\_CONTROL.
5. Включить таймер 1 и/или таймер 2, выполнив запись соответствующих битов в регистре TIMER\_ENABLE.



Важно соблюдать соответствие полярности кадровых сигналов PPI-порта и периферии таймеров. Для этого необходимо гарантировать следующее: если PPI\_CONTROL[15:14] = b#10 или b#11, бит PULSE\_HI в регистрах TIMER1\_CONFIG и TIMER2\_CONFIG должен быть сброшен. Аналогично, если PPI\_CONTROL[15:14] = b#00 или b#01, бит PULSE\_HI в регистрах TIMER1\_CONFIG и TIMER2\_CONFIG должен быть установлен.

### Режимы с внешней кадровой синхронизацией

В режимах ввода данных с внешней кадровой синхронизацией выходы PPI\_FS1 и PPI\_FS2 являются входами, чувствительными к фронту. В этих режимах при работе с таймерами могут применяться только те их функции, которые не требуют использования выводов TMR1 и TMR2. Когда вывод TMRx задействован PPI-портом в качестве входа сигнала кадровой синхронизации PPI\_FSx, доступ таймеров к этим выводам запрещён. В режимах, не требующих использования PPI\_FS2, функции таймера 2 не ограничены, и PPI-порт не влияет на работу таймера. (те есть, вывод TMR2 доступен таймеру). Дополнительную информацию о конфигурировании и использовании таймеров см. в главе 15, “Таймеры”.



В режиме ввода данных с тремя внешними сигналами кадровой синхронизации условием обнаружения начала кадра является последовательное установление активных уровней сигналов PPI\_FS2 и PPI\_FS1 при низком уровне сигнала PPI\_FS3. Это происходит в начале поля 1.

В режимах вывода данных с внешней кадровой синхронизацией выходы PPI\_FS1 и PPI\_FS2 также являются входами, чувствительными к фронту. Однако при этом необходимо явно задать для соответствующих таймеров режим работы с внешним тактовым сигналом и запретить генерацию прерывания таймера. Таким образом, при использовании PPI-портом вывода PPI\_FS1 и/или PPI\_FS2 необходимо до разрешения работы порта записать значение 0x0003 в регистр TIMER1\_CONFIG и/или TIMER2\_CONFIG, соответственно.

# 11 Параллельный периферийный интерфейс

## Работа в режиме DMA

При работе с PPI-портом должен применяться DMA. Ниже описывается взаимодействие PPI-порта и контроллера DMA. Дополнительную информацию о механизме DMA, включая описание регистров и принципов работы DMA, см. в главе 9, “Прямой доступ к памяти”.

Канал DMA может быть настроен либо на передачу, либо на приём; максимальная пропускная способность канала DMA составляет  $(PPI\_CLK) \times (16 \text{ битов на одну операцию пересылки данных})$ . В режимах работы с разрядностью данных более восьми за один такт PPI\_CLK может быть передан только один элемент данных (упаковка данных невозможна); при этом пропускная способность канала DMA порта снижается. Максимальная пропускная способность достигается при передачах упакованных 8-разрядных данных ( $PACKEN = 1$ ). Необходимо отметить, что при использовании режима упаковки число передаваемых элементов данных должно быть чётным.

Для работы с PPI-портом необходимо настроить канал DMA, так как за генерацию прерываний по завершении передачи/приёма строки, кадра или части кадра отвечает контроллер DMA. Он также отвечает за координацию точки начала передаваемых/принимаемых данных внутри кадра.

Использование двумерного DMA позволяет прерывать работу процессора по окончании передачи строки или кадра видеосигнала, а также при возникновении ошибок DMA. В действительности, при помощи регистров DMAx\_XCOUNT и DMAx\_YCOUNT можно задавать прерывание по абсолютно произвольному элементу данных. Например, предположим, что регистры контроллера DMA X\_MODIFY и YMODIFY равны единице и кадр содержит 320×240 байтов (240 строк по 320 байтов каждая). При этом:

- Прерывание по каждой строке кадра задаётся значениями X\_COUNT = 320, Y\_COUNT = 240 и DI\_SEL = 1 (бит DI\_SEL находится в регистре DMAx\_CONFIG).
- Прерывание по завершении передачи кадра задаётся значениями X\_COUNT = 320, Y\_COUNT = 240 и DI\_SEL = 0.
- Прерывание по передаче каждого полукадра задаётся значениями X\_COUNT = 38400 (320×120), Y\_COUNT = 2 и DI\_SEL = 1.

Ниже приводится обобщённое описание процедуры настройки работы PPI-порта в режиме DMA. Более детальное описание конфигурирования DMA см в главе 9, “Прямой доступ к памяти”.

1. Настройте регистры DMA в соответствии с требуемым режимом DMA.
2. Разрешите работу канала DMA
3. Задайте значения соответствующих регистров PPI-порта.
4. Разрешите работу PPI-порта установкой бита 0 регистра PPI\_CONTROL.

# 11 Параллельный периферийный интерфейс

## Сценарии передач данных

На рис. 11-6 показаны два возможных способа использования PPI-порта для приёма видеосигнала. Эти диаграммы являются обобщёнными; расчёт реальной пропускной способности возможен только с учётом конкретного режима и настроек PPI-порта (например, передача только чётных и нечётных элементов поля 1).

Сценарий, показанный в верхней части рис. 11-16, может возникать, например, при сжатии в формате JPEG. Первые N строк видеосигнала передаются через PPI-порт в память L1 в режиме DMA. Данные, помещённые в L1, обрабатываются при помощи алгоритма сжатия; сжатые данные передаются процессором во внешнее устройство по последовательному порту (SPORT). Необходимо отметить, что для этого сценария обращение к SDRAM не требуется.

В сценарий, показанном в нижней части рис. 11-16, подразумевается использование более сложного алгоритма сжатия (например, MPEG-2 или MPEG-4). В данном случае необработанный видеопоток напрямую передается в SDRAM. Из SDRAM блоки данных по каналу DMA независимо передаются в L1 для выполнения промежуточной обработки. На последнем этапе процессор передаёт сжатое изображение во внешнее устройство по последовательному порту (SPORT).

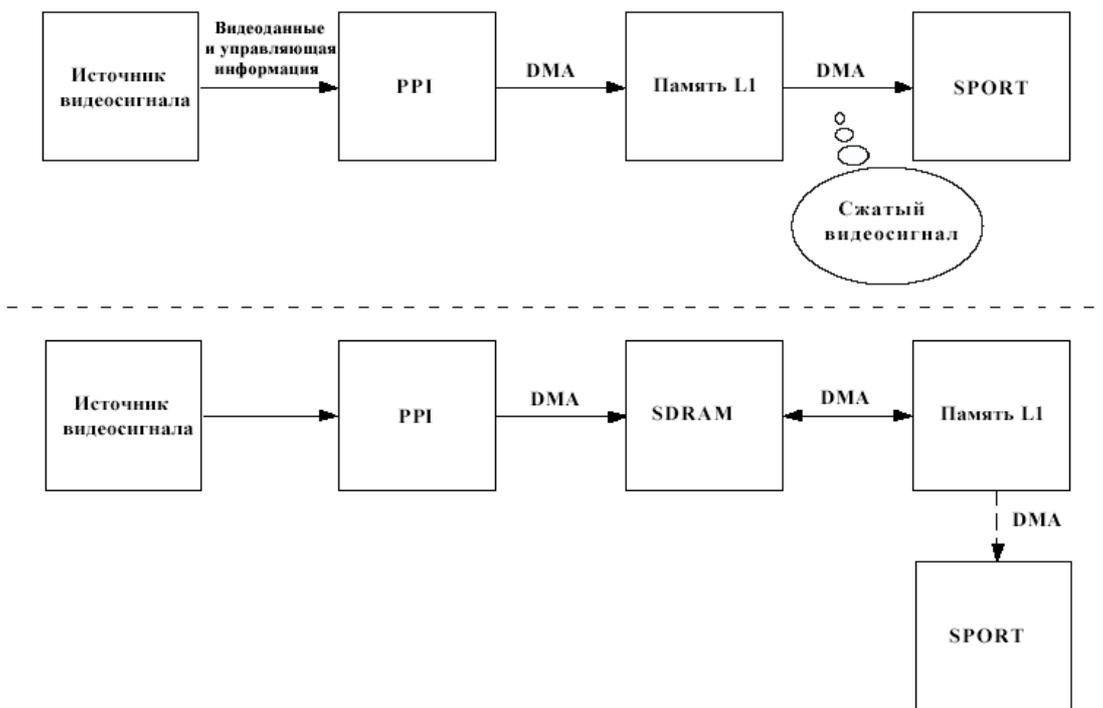


Рис. 11-16. Возможные сценарии передач данных при помощи PPI-порта